

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04083371 A**

(43) Date of publication of application: **17.03.92**

(51) Int. Cl.

**H01L 25/065**

**H01L 25/07**

**H01L 25/16**

**H01L 25/18**

**H01L 27/00**

(21) Application number: **02196230**

(71) Applicant: **TOSHIBA CORP**

(22) Date of filing: **26.07.90**

(72) Inventor: **MATSUNAGA JUNICHI**

(54) **SEMICONDUCTOR DEVICE**

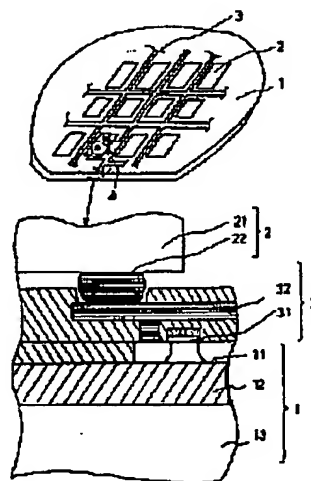
(57) Abstract:

PURPOSE: To perform high integration, high speed and high performance by providing a second type board having a function for connecting a plurality of first type boards each having independent system function therebetween, and incorporating a semiconductor element or a sensor together with wirings in the second type board.

CONSTITUTION: A wafer containing silicon as a main content is, for example, used as a mounting board 1 of a second type board. The silicon wafer is used to accurately form an element, wirings 3 or a sensor by using a normal silicon technology. O ions are implanted in a high concentration in the silicon board 13, heat treated to form an SiO<sub>2</sub> film 2 in the board, and a silicon layer 11 is provided on a surface layer. The layer 11 is made of single crystal, a diffused region is suitably formed therein, a gate insulating film, a polysilicon gate electrode, etc., are formed thereon, and a semiconductor device such as a memory, etc., is formed. A CPU, a memory, etc., are formed on the second type board, and are used for a high class microcomputer with a display for visualizing a calculated result, a

logic output to be output, on display means such as a liquid crystal display, etc., formed on the first type board.

COPYRIGHT: (C)1992,JPO&Japio



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-83371

⑬ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)3月17日

H 01 L 25/065  
25/07  
25/16  
25/18  
27/00

A 7638-4M

3 0 1 B 7514-4M  
7638-4M

H 01 L 25/08 B

審査請求 未請求 請求項の数 4 (全6頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平2-196230

⑰ 出 願 平2(1990)7月26日

⑱ 発 明 者 松 永 準 一 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 猪股 祥晃 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 独立したシステム機能を有する複数の第1種基板と、この第1種基板間を互いに接続させる機能を有する第2種基板とを備え、全体としてシステム機能を有する半導体装置において、前記第2種基板は、配線とともに半導体素子もしくはセンサを具備していることを特徴とする半導体装置。

(2) 請求項1に記載の半導体装置を複数個載置し、これらを互いに接続させる機能を有する第3種基板を有する半導体装置。

(3) 前記第2種基板は、半導体基板上に絶縁膜を介して形成された半導体層に前記半導体素子もしくはセンサが形成された事を特徴とする請求項1に記載の半導体装置。

(4) 前記第2種基板に論理集積回路を形成し、前記第1種基板に前記論理集積回路の出力を表示

する表示手段を形成した事を特徴とする請求項1に記載の半導体装置。

3. 発明の詳細な説明

(発明の目的)

(産業上の利用分野)

本発明は、半導体装置、とくに、それぞれシステム機能を有する複数の基板を組合せた大規模に集積された半導体装置に関するものである。

(従来の技術)

近年、半導体装置(デバイス)の発達は目覚ましく、特に、シリコン基板を用いた半導体デバイスの高集積化、高速化、高機能化には著しいものがある。これらは、有名な「縮小則」のルールに従って、おおよそ3年毎に0.6-0.7倍の縮小率で半導体素子および配線の寸法を縮小化して実現されている。その結果、1個のシリコン・チップ上に集積される半導体素子の数も、おおよそ3年毎に4倍ずつ増加している。従って、メモリー・デバイスであれば、記憶容量が4倍に、論理デバイスであれば、機能がその分だけ増加している。

同時に、メモリのアクセス速度や論理演算速度も、同様に高速化してきた。

しかしながら、現在のところ、大規模なシステムを1チップに集積してしまうほどには、まだ、加工技術が進んでいない。また、将来をみても、これまで順調に進展してきた加工レベルが、今後、鈍化してくることも十分考えられる。そこで、通常、半導体チップを個々にパッケージに実装した製品を1枚のプリント基板に多数実装し、さらに、そのプリント基板を数枚重ねて、大規模システムを実現してきた。

しかしながら、このような方法では、

- ①システムが数枚のプリント基板で構成されるため、システムサイズが大型になる。
- ②数枚のプリント基板の間を配線で接続するため、配線の抵抗R、キャパシタンスC、インダクタンスL成分が存在、信号波形の歪化、すなわち、信号の伝ば遅延やレベル変動がおこり、システムの高速度性、信頼性を劣化させる。
- ③数枚のプリント基板の間を配線で接続するため、

①1枚のシリコン・ウェハに独立した機能を有する半導体デバイスが焼き付けられるため、それらのうち、1つでも不良の場合、シリコン・ウェハ全体が不良となる。従って、製造歩留りが悪くなり、製造コストが上がる。

②①の対策として、冗長性をもたせた回路を導入する方法も既に提案されているが、本質的に①の欠点を解決するものではない。

などの問題がある。

さらに、数種の良品シリコン・チップを1枚のシリコン・ウェハに実装してなる、ハイブリッドなアプローチも提案されている。その例は、M. Iwabuchi, K. Ogiue, K. Nakamura, S. Nakagami, S. Isumura, S. Kuroda, and S. Kawashima, "A 7ns 128K Multichip ECL RAM-with-Logic Module", ISSCC 87, Digest of Technical Papers, pp. 226-227, Fed. 1987.

に示されている。

このシリコン・ウェハ上にシリコン・チップを、

部品点数が増加し、工程数も増えるなど、完成工期の長期化、コストの増大、信頼性の低下を招き易い。

などの欠点がある。

また、ウェハ・スケール・インテグレーションという手法がある。その1つの手法として、1枚のシリコン・ウェハに複数の半導体デバイスを焼き付け、かつ、各々の半導体デバイスを接続させる配線も焼き付けて大規模システムをウェハ・サイズで実現させようという試み（これをモノリシックな手法という）がなされている。その例は、B. R. Elser, W. E. Tchon, A. J. Denboer, R. Frommer, S. Kohyama, K. Hirabayashi, and I. Nojima, "Fault Tolerant 82160 Bit Multiphase CCD Memory", 1977 IEEE International Solid-State Circuits Conference (ISSCC), Digest of Technical Papers, pp. 116-117, Fed. 1977. の論文の中に記載されている。

しかし、この場合でも、

例えば、ハンダ・バンプで実装したハイブリッドな方法においても、

①この場合、実装基板であるシリコン・ウェハでは、配線のみが描画されているのみであるため、将来、システム全体の信号伝達速度が飛躍的に大きくなったとき、スキュー対策などで配線の引き回しなどに制約がでてくる可能性がある。そのとき、設計の自由度を確保するため、半導体素子もこの実装基板上に形成する必要が起これる。

②将来の高速度時代に対応して、実装基板上に配線以外に、半導体素子をも製造する場合、高速度のため、バルク・シリコンより高速度性が期待できる。いわゆるSOI構造の基板を用いる。

③将来の高速度時代に対応して、シリコンより高速の素子製造が可能な化合物半導体ウェハを使用する可能性がある。

④将来の実装基板では、多機能化、特にディスプレイ機能を持たせることが必要となってくるが、シリコン・ウェハ基板では大型パネルを製作するには制約があり、他の基板材料が必要となってくる。

る。

⑥また、将来の超高速化時代に対応して発熱問題を回避しなければならない。このため、実装基板は放熱しやすいものでなければならない。

などの課題が将来のシステムの超高速化、多機能化、小型化に向けて解決されなければならないといった問題がある。

集積度を向上させるさらに有効な方策の一つが、半導体活性層を多層に積み重ねた構造にデバイスを集積化する3次元集積回路である。2次元の集積回路は、回路の線幅が $0.1\mu$ 以下になると1ギガビット級以上の記憶素子になる。このように微細化してくると回路が細くなりすぎて誤動作を引き起こす要因が増え、配線が複雑化して長くなり高速性が失われてくる。したがって、平面構造では、回路線幅が $0.1\mu$ 近辺が微細化の限界であると思われる。このような微細化の障壁を乗り越えて集積度を上げる最適な構造の一つがこの3次元集積回路である。積層構造を利用しているので層間の信号伝達極めて高速に行われ、また、絶縁

層を用いた多層SOI構造(multilayered SOI structure)の層間分離方式によって、活性層内の寄生効果は大幅に軽減される。このため、各層内、層間の回路動作の高速化が進み、集積回路の性能面の向上は期待できる。しかし、多層の活性層を形成するには、平面の集積回路の表面に多結晶シリコンを積層させ、これをレーザや電子線アニールで単結晶に変えて積層された集積回路を形成するのが通常考えられる手段である。この方法は何度も熱を加える工程があって複雑であり、さらに良質な単結晶を作るのが難しい。多層のうちどれかが不良であっても全体が機能しなくなるなど歩留りも良くないなどの欠点もあり、3次元集積回路も容易に高集積化の解決にはならない。

(発明が解決しようとする課題)

以上述べたように、半導体装置の高集積化、高速度化、高機能化を求めて微細化が進んでいても、今後微細化技術に限界が来ることは近い将来考えられることである。また、大規模集積手段として従来から知られている複数のプリント板を積

層する方法、ウェハ・スケール・インテグレーション、ハイブリッドなウェハ・スケール・インテグレーション等の手法には、一長一短あり、高集積化、高速度化、高機能化された半導体装置を製造する手段としては不十分であった。

本発明は、上記事情によってなされたものであり、新規な構造によって、高集積化、高速度化、高機能化された半導体装置を提供することを目的としている。

[発明の構成]

(課題を解決するための手段)

本発明は、第1の発明は、独立したシステム機能を有する複数の第1種基板と、この第1種基板間を互いに接続させる機能を有する第2種基板を備え、全体としてシステム機能を有する半導体装置に関するものであり、前記第2種基板は、配線とともに半導体素子もしくはセンサを具備していることを特徴としている。また、第2の発明は、上記半導体装置を複数個載置し、これらを互いに接続する機能を有する第3種基板を有することに

特徴がある。第1種基板には、たとえば、シリコンなどの安価で技術として確立している半導体チップを用いる。第2種基板は、シリコンなどの単体半導体もしくはGaAsなどの化合物半導体からなるウェハ、石英基板、ガラス基板、銅もしくはアルミニウムなど放熱性の良い金属を主体とした金属板上に一部絶縁膜を形成したものから選ばれる。第2種基板の表面には、半導体素子、センサ、配線等が形成された半導体活性領域を備えた、いわゆるSOI(Silicon on Insulator)構造を有していることを特徴としている。半導体活性領域には、たとえば単結晶シリコンや多結晶ポリシリコン膜が用いられる。この単結晶シリコンSOI構造は、たとえば、公知のSIMOX(Separation by Implanted Oxygen)法によって形成される。

(作用)

本発明は、従来のウェハ・スケール・インテグレーション技術の課題、特にハイブリッドな手法によるウェハ・スケール・インテグレーション

技術の問題を解決するための手段として、主に、複数の半導体チップの実装母体となる基板に対して、改良がなされたものである。

すなわち、複数の半導体チップの高速性を十分に生かすため、それらのチップが実装される基板上に配線とともに半導体素子をも配置しようというもので、かつ、それらの素子が高速性を確保できるように、或いは、配線の集積度を高めるため、実装基板そのものを特別のものとする。例えば、実装基板が半導体ウェハにすれば、特別の投影露光装置を用いれば配線や半導体素子のパターンを簡単に焼き付けることができる。さらに、その半導体ウェハが、例えば、いわゆる、SOI構造の、絶縁膜上に半導体成膜が設けられたものであれば、その上に形成される半導体素子や配線に寄生する容量を小さくすることができる。このことは、ある半導体チップから配線や半導体素子を通して他の半導体チップへ信号が伝達される場合、その信号伝達の高速化を実現させる上で非常に有利である。また、SOI基板のシリコン厚が、例えば50

nm程度の薄い薄膜SOI基板であれば、さらに高速の半導体素子を製作することができる。SOI構造の公知例の一つとしてSIMOX基板がある。SIMOX構造は、シリコン基板に部分的に酸化領域( $\text{SiO}_2$ )などの絶縁性領域を形成し、表面またはその一部を活性領域として利用する方法である。イオン注入によりウェハの表面下数ミクロン程度の深さに酸素イオンを高濃度に打ち込み、1000℃程度のアニーリングを施して埋込み酸化膜( $\text{SiO}_2$ )を形成してSOI構造としたものである。酸素の代わりに窒素を用いることもある。その場合は、アニーリング温度は1200℃程度となる。また、通常のシリコン基板でも、その基板上に設けられた絶縁膜に多結晶シリコン膜を堆積させ、その膜上に、例えば、NチャネルMOSFETのような半導体素子を設けると、約 $100\text{cm}^2/\text{V}\cdot\text{sec}$ のキャリア移動度のものが得られる。

さらに、高速性を追求するには、実装基板はシリコンよりも化合物半導体ウェハがよい。例えば、GaAsウェハを実装基板として、半導体チップを

その基板の上に実装すればよい。この半導体チップはシリコン・チップでもGaAsチップでも、或いはこれらの組みあわせでもよい。SIMOX基板やGaAs基板は比較的高価なものであるが、SIMOXチップやGaAsチップのLSIを通常基板に実装するよりも、安価なシリコンチップを集積度の小さいSIMOX基板やGaAs基板に実装させる方が全体としては安価ですむ。

高速性の他に、例えば、機能性を高めるために、実装基板にシリコンやGaAsのウェハを用いず、石英やガラスの大型基板を用いてもよい。液晶ディスプレイ装置などディスプレイ装置はシステムの一部として今後増す増す重要な役割を果たす。従って、ディスプレイ部そのものを実装基板とする。この場合、石英基板にしる、ガラス基板にしる、半導体層が存在しないため、基板上にアモルファス・シリコンや多結晶シリコン或いはそれらから単結晶化された単結晶シリコン膜を新たに設け、この領域に半導体素子を製作しなければならない。この場合も、薄膜SOI構造ができるため、

半導体素子の高速化が期待できる。

#### (実施例)

##### 実施例1

以下、図を参照して、本発明の一実施例を説明する。第1図と第2図は本発明の半導体装置の斜視図とそのA内の拡大したB-B'部分の要部断面図である。

ウェハ・スケール・インテグレーション、特に、ハイブリッド形のインテグレーションを基本にしてこの実施例では考えている。第1図のように、第2種基板である実装基板1に、例えば、シリコンを主体としたウェハを用いる。シリコンウェハを用いることで、通常のシリコン・テクノロジーを用いて、素子や配線3、或いはセンサ(例えば光電変換素子)などを通常のシリコン・デバイスを製作するとき用いる技術や装置を用いて精度よく形成することができる。ここでは、いわゆるSOI基板のウェハを示している。SOI構造の具体的な例として、SIMOX構造が示されている。SIMOX構造は、シリコン基板13中にOイ

オンを高濃度に注入し熱処理することにより基板中にSiO<sub>2</sub>膜12を形成し、表層部にシリコン層11を設ける。

このシリコン層11に半導体素子、例えば、MOSFET 31を形成する。シリコン層11は単結晶であり、この中に拡散領域を適宜形成し、その上にゲート絶縁膜、ポリシリコンゲート電極などを形成してメモリなどの半導体デバイスを形成する。MOSFETを薄膜シリコンのSIMOX基板1上に設けるとMOSFET下のシリコン層がすべて空乏化するためキャリア移動度が厚膜時より高くなる。つまり、高速の半導体素子が形成される。この半導体素子(MOSFET) 31の電極からアルミなどの配線32を引き出す。この配線層32と実装される半導体チップ2とが接続される。接続の方法は、第2図で示す様に、ハンダ・バンプ法で行われる。半導体チップ2のパッド(図示せず)上に設けられたハンダ・バンプによって、実装基板のSIMOXウェハ上の配線32パッド部と位置合せして接続する。第2図で示した半導体素子は、

特に、バイポーラ素子など発熱を起こし易いものは半導体チップ2の中に形成しておくよりも、実装基板1上に形成する方が好ましい。すなわち、チップ内に形成すべき半導体素子を第2種基板に移すことも可能である。

図では実装基板1にSIMOXウェハを使用したが、シリコンウェハや化合物半導体例えばGaAsウェハでもよい。特に、GaAsなど化合物半導体ウェハを用いた場合、光デバイスも製作できるため、半導体チップの電気的接続を光で行う、光配線が可能となる。これは、配線間の結合容量がないため、干渉がなく、配線としては好ましい。とくに、GaAsの第2種基板にシリコンチップを搭載した場合の両者間の配線によい。

さらに、実装基板に、石英板やガラス板を用いることができる。

この場合、これらの基板上の大部分の半導体活性領域には、例えば、TFTのような光電変換素子を製作し、半導体チップを周辺に実装することになる。画像処理などの機能を持つ半導体チップ、

MOSFETのみならず、バイポーラ素子でもよい。また、NチャネルMOSFETとPチャネルMOSFETから成るCMOS回路素子でもよい。さらに、バイポーラとこのCMOSから構成される、いわゆるBiCMOS回路素子でもよい。また、回路素子があらかじめ基本論理を構成したセル単位で複数個配置された、いわゆるゲート・アレイやプログラマブル・ロジック・アレイでもよい。これらの半導体素子は半導体チップ2を実装基板1に実装する前に製作してもよいし、実装後に製作してもよい。但し、実装後の場合は、熱工程に制限が加わるため、低温プロセスが必要となる。一般的には、半導体素子は実装前に製作しておき、配線のみ実装後に形成する。この様に、第2種基板に論理回路を主とするCPUやメモリー等を形成しておき、これから出力される計算結果や論理出力等を第1種基板に形成した液晶ディスプレイやプラズマディスプレイ等の表示手段で可視化した様なディスプレイ付高級マイコン等に利用する。

メモリ機能を持つ半導体チップなどを実装し、基板上に、前記光電変換素子などのセンサの他に、接続用配線(必要によっては透明な配線材料を用いる)を焼き付ければ、ディスプレイ機能を持ったシステムも製作できる。

この場合にも、薄膜SOI基板の構造となるので、半導体素子の高速化も可能となり、高速画像処理のできる、ディスプレイ付システムが提供できる。

#### 実施例2

この実施例では、実装基板として第3種基板を用い、この基板に実施例1に示した半導体装置を複数搭載する。このような構成によって、その集積化と多機能化は、実施例1よりさらに向上する。先の複数の半導体装置は、すべて同じでも良いが、それぞれ異なる構造を有していても良い。例えば、第1種基板として搭載される半導体チップを互いに異なる構造にすれば、その多機能性が一層増すことになる。第3種基板は、第2種基板のように、半導体薄膜を有し、配線と共に素子機能を有する

薄膜SOI基板でも良いし、配線のみを有する基板でも良い。半導体ウェハ、石英基板、ガラス基板、アルミニウムまたは銅を主成分とした絶縁された金属基板等のなかから任意のものを第3種基板として選択することができる。この実施例2のような3次元構造にすることにより、集積度の向上をさらに十分に維持することができる。

以上のように、本発明によれば、半導体装置の3次元的な大規模集積の結果、高密度集積、高速動作および多機能性が達成可能となる。3次元集積化によりチップ当りの消費電力/集積の低減や配線遅延時間の大幅な短縮が可能となる。また、素子の並行動作や固有速度の異なる素子の機能的な使い分け、並列処理を効果的に実行する回路構成の採用などにより、システム全体として高速化、高機能化をはかる設計が可能になる。

#### 〔発明の効果〕

本発明は、以上のように、接続機能を有する第2種基板に半導体素子やセンサなど機能性を与えたので微細化の限界を越えて高集積化が可能に

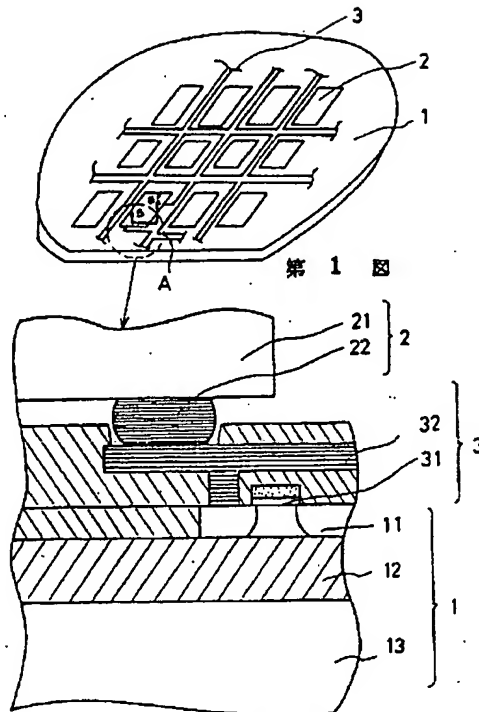
なると同時に高速化、多機能化などが著しく進む。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例における半導体装置の斜視図、第2図は第1図に示した半導体装置の部分Aを拡大したB-B'部分の断面図である。

- 1…第2種基板（シリコンウェハ）、
- 2…第1種基板（半導体チップ）、
- 3…半導体素子および配線、11…シリコン薄層、
- 12…シリコン酸化膜、13…シリコン、
- 21…チップ本体、22…接続用パンプ、
- 31…MOSFET、32…配線。

代理人 井理士 猪股 祥 晃（ほか1名）



第 2 図

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成11年(1999)2月12日

【公開番号】特開平4-83371

【公開日】平成4年(1992)3月17日

【年通号数】公開特許公報4-834

【出願番号】特願平2-196230

【国際特許分類第6版】.

H01L 25/065

25/07

25/16

25/18

【FI】

H01L 25/08

B

25/16

A

予 規 補 正 書 (自発)

平成9年7月24日

特許庁長官 殿

1. 事件の表示

特願平2-196230号

2. 発明の名称

半導体装置

3. 補正をする者

(8723)株式会社 東芝

4. 代理人

〒105

東京都港区虎ノ門1-15-7

T G 115ビル 建設特許事務所内

電話3501-4058

(8723)弁護士 諸 岡 洋 晃



5. 補正の記載

(1) 明細書の特許請求の範囲の欄

(2) 明細書の発明の詳細な説明の欄

6. 補正の内容

(1) 明細書の特許請求の範囲を別紙の通り訂正する。

(2) 明細書第9頁第12行~第18行「本発明は、・・・を特徴としている。」を次のように訂正する。

「本発明は、第1の発明は、独立したシステム機能を有する複数の第1積層板と、これら複数の第1積層板が同一平面上に積層され、この第1積層板間を互いに電気的に接続させる機能を有する第2積層板とを備え、全体としてシステム機能を有する半導体装置において、前記第2積層板は、配線とともに半導体素子もしくはセンサを具備していることを特徴としている。」

以 上

(別 紙)

2. 特許請求の範囲

(1) 独立したシステム機能を有する複数の第1積層板と、これら複数の第1積層板が同一平面上に積層され、この第1積層板間を互いに電気的に接続させる機能を有する第2積層板とを備え、全体としてシステム機能を有する半導体装置において、前記第2積層板は、配線とともに半導体素子もしくはセンサを具備していることを特徴とする半導体装置。

(2) 請求項1に記載の半導体装置を複数個積層し、これらを互いに接続させる機能を有する第3積層板を有する半導体装置。

(3) 前記第2積層板は、半導体素子上に絶縁膜を介して形成された半導体層に前記半導体素子もしくはセンサが形成された事を特徴とする請求項1に記載の半導体装置。

(4) 前記第2積層板に絶縁膜形成層を形成し、前記第1積層板に前記絶縁膜形成層の出力を表示する表示手段を形成した事を特徴とする請求項1に記載の半導体装置。